

GROWTH METHOD OF POLYCRYSTALLINE SILICON BY PULSE TYPE RAPID THERMAL ANNEALING

Patent number: JP10070077

Publication date: 1998-03-10

Inventor: YUU KUOO

Applicant: IBM

Classification:

- international: H01L21/20; H01L21/268; H01L21/336; H01L29/417; H01L29/423; H01L29/786; H01L21/02; H01L29/40; H01L29/66; (IPC1-7): H01L21/20; H01L21/268; H01L21/336; H01L29/786

- european: H01L21/20D; H01L21/20D2; H01L21/336D2B; H01L21/336M; H01L29/417D2; H01L29/423D2B8

Application number: JP19970187103 19970714

Priority number(s): US19960685728 19960724

Also published as:



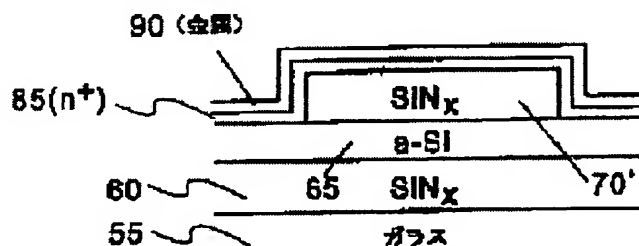
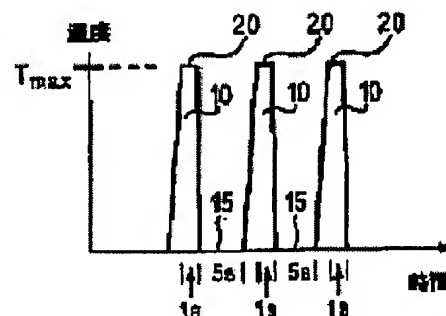
US5946562 (A)

US5773329 (A)

Report a data error he

Abstract of JP10070077

PROBLEM TO BE SOLVED: To provide a method for rapidly crystallizing silicon and a method for rapidly transforming amorphous silicon to polycrystalline silicon. **SOLUTION:** A three-layered structure having an amorphous silicon layer sandwiched between a lowermost insulating layer 60 and an uppermost insulating layer 70' is formed on a glass layer 55. The amorphous silicon layer is partly exposed by selectively etching the uppermost insulating layer. A metal nucleus layer 90 is formed on the exposed part of the amorphous silicon layer. In this rapid heat annealing, continuous pulses 10 which are isolated by quiescent periods 15 are used. The amorphous silicon layer can be transformed to a polycrystalline silicon layer by pulse type rapid thermal annealing (PRTA).



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-70077

(43) 公開日 平成10年(1998) 3月10日

(51) Int. Cl. ⁶
H01L 21/20
21/268
29/786
21/336

識別記号

F I

H01L 21/20
21/268 F
29/78 618 G
627 G

審査請求 未請求 請求項の数17 O L (全13頁)

(21) 出願番号 特願平9-187103

(22) 出願日 平成9年(1997) 7月14日

(31) 優先権主張番号 08/685728

(32) 優先日 1996年7月24日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ユー・クォー

アメリカ合衆国10514、ニューヨーク州チ
ャップクア、ディアー・ラン 143

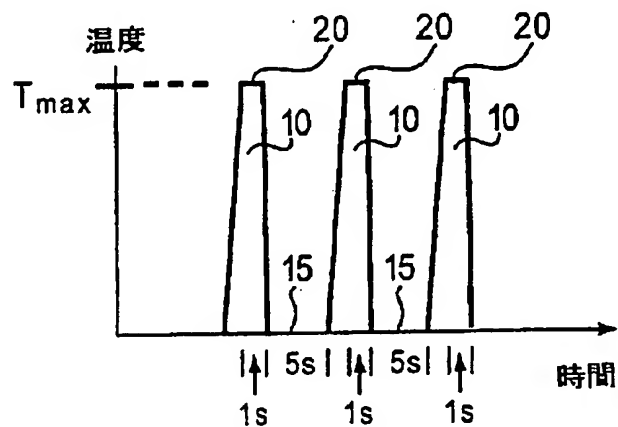
(74) 代理人 弁理士 坂口 博 (外1名)

(54) 【発明の名称】 パルス状の急速な熱アニーリングによる多結晶シリコンの成長方法

(57) 【要約】

【課題】 シリコンを急速に結晶化する方法、およびア
モルファス・シリコンを多結晶シリコンに急速に変質さ
せる方法を提供する。

【解決手段】 ガラス層55上に、最下部の絶縁層60
と最上部の絶縁層70との間にはさまれたアモルファス
・シリコン層65をもつ3層構造50を形成するステッ
プ、最上部の絶縁層を選択的にエッチングして、アモル
ファス・シリコン層を部分的に露出させるステップ、こ
のアモルファス・シリコン層の露出した部分80上に金
属核層90を形成するステップ、および休止期間15に
よって分離された連続パルス10を使用する、パルス状
の急速な熱アニーリング (PRTA) により、アモルフ
ァス・シリコン層を多結晶シリコン層に変質させるステ
ップを含む。



【特許請求の範囲】

【請求項 1】 薄膜半導体素子を形成する方法であって、

(a) ガラス層上に、最下部の絶縁層と最上部の絶縁層との間に挟まれたアモルファス・シリコン層を有する 3 層構造を形成するステップと、(b) 前記アモルファス・シリコン層を部分的に露出させるために、前記最上部の絶縁層を選択的にエッチングするステップと、

(c) 前記アモルファス・シリコン層の前記露出させた部分上に、金属核層を形成するステップと、(d) 前記アモルファス・シリコン層を多結晶シリコン層に変質させるために、休止期間によって分離された連続パルスから成るパルス状の急速な熱アニーリングを行うステップと、を含む方法。

【請求項 2】 前記 3 層構造を形成するステップが、所定の変形温度を有するガラス上に前記 3 層構造を形成し、さらに前記アニーリングを行うステップが、前記所定の変形温度を超える温度でアニールする、請求項 1 に記載の方法。

【請求項 3】 前記パルス状の急速な熱アニーリングを行うステップが、約 5 秒間の時間を有する前記休止期間によって分離された、約 1 秒間の時間を有する前記連続パルスを含む、請求項 1 に記載の方法。

【請求項 4】 前記パルス状の急速な熱アニーリングを行うステップが、前記連続パルスの 5 パルス期間中に、50 μ m の長さを有する前記多結晶シリコン層を形成する、請求項 3 に記載の方法。

【請求項 5】 前記選択的にエッチングするステップ後、前記金属核層を形成するステップの前に、炉によるアニーリングを行うステップをさらに含む、請求項 1 に記載の方法。

【請求項 6】 前記選択的にエッチングするステップが、前記最上部の絶縁層の一部分上にマスクを形成するステップと、前記最上部の絶縁層のマスクで覆われていない部分をエッチングするステップと、前記マスクを除去するステップと、を含む、請求項 1 に記載の方法。

【請求項 7】 前記選択的にエッチングするステップ後、前記金属核層を形成するステップの前に、前記アモルファス・シリコン層の前記露出させた部分上に、高濃度に不純物をドーブしたシリコン層を形成するステップをさらに含む、請求項 1 に記載の方法。

【請求項 8】 前記高濃度に不純物をドーブしたシリコン層を形成するステップの前に、炉によるアニーリングを行うステップをさらに含む、請求項 7 に記載の方法。

【請求項 9】 前記パルス状の急速な熱アニーリングを行うステップ後に、前記金属核層上および前記最上部の絶縁層上に絶縁層を形成するステップと、前記絶縁層上にゲート層を形成するステップと、をさら

に含む、請求項 1 に記載の方法。

【請求項 1 0】 前記 3 層構造を形成するステップの前に、前記ガラス層上にゲート層を形成する、請求項 1 に記載の方法。

【請求項 1 1】 前記金属核層がニッケル、チタン、パラジウムのいずれかから成る、請求項 1 に記載の方法。

【請求項 1 2】 アモルファス・シリコン層を多結晶シリコン層に変質させる方法であって、前記アモルファス・シリコン層上に金属層を形成するステップと、約 1 秒間の持続時間を有し、約 5 秒間の間隔によって分離された連続パルスを使用して、前記金属層および前記アモルファス・シリコン層をアニーリングするステップと、を含む方法。

【請求項 1 3】 所定の変形温度を有するガラス層上に形成されたアモルファス・シリコン層を結晶化する方法であって、

前記アモルファス・シリコン層上に金属層を形成するステップと、

前記所定の変形温度を超える温度を有する連続パルスであって、個々のパルスが、前記ガラス層を損傷することなく前記アモルファス・シリコン層を結晶化するために十分に短い時間である連続パルスを使用して、前記金属層および前記アモルファス・シリコン層をアニーリングするステップと、を含む方法。

【請求項 1 4】 薄膜半導体素子を形成する方法であって、(a) ガラス層上に絶縁層、アモルファス・シリコン層、高濃度に不純物をドーブしたシリコン層、および金属層を連続して形成するステップと、(b) 前記アモルファス・シリコン層、前記高濃度に不純物をドーブしたシリコン層、および前記金属層をパターン化するステップと、(c) 前記パターン化された高濃度に不純物をドーブしたシリコン層および金属層を更にパターン化し、前記アモルファス・シリコン層の露出した部分によって分離されたソース、ドレイン、ソース接点、およびドレイン接点を形成するステップと、(d) 休止期間によって分離された連続パルスを含むパルス状の急速な熱アニーリングを行い、前記アモルファス・シリコン層を多結晶シリコン層に変質させるステップと、を含む方法。

【請求項 1 5】 前記パルス状の急速な熱アニーリングを行うステップ後に、前記アモルファス・シリコンの露出させた部分上、前記ソース接点上、および前記ドレイン接点上にゲート絶縁層を形成するステップと、

前記ゲート絶縁層上にゲートを形成するステップと、をさらに含む、請求項 1 4 に記載の方法。

【請求項 1 6】 前記連続して形成するステップの前に、前記ガラス層上にゲートを形成するステップをさらに含む、請求項 1 4 に記載の方法。

【請求項 1 7】 前記ゲートを形成するステップが、前記

ガラス層上にゲート層を形成するステップ、さらに前記ゲートを形成するために前記ゲート層をパターン化するステップを含む、請求項 16 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アモルファス・シリコンから多結晶シリコンを急速に形成するための方法に関し、より詳細には、核 (seed) に接触金属を使用するパルス状の急速な熱アニーリング方法に関する。

【0002】

【従来の技術】薄膜トランジスタ (TFT) は、高性能の液晶表示装置 (LCD) の重要な素子であり、LCD は、コンピュータで最も重要な構成部品の 1 つである。また TFT は、他の 2 次元 (2D) 画像装置、センサ、および電子機器にも使用されている。現今では、TFT の大面積アレイの大部分は、水素を添加したアモルファス・シリコン a-Si:H のようなアモルファス材料をベースにしている。しかし、a-Si:H の TFT には、低移動度、高い感光性などの本質的な欠点がある。したがって、これらの問題を回避するために、製造手順にいくつかの余分なプロセス・ステップを加える必要がある。例えば、光が TFT に到達するのを妨げるために、ブラック・マトリクスを使用する必要がある。ディスプレイ用のドライバは、TFT のアレイとは分離して製造する必要がある。

【0003】a-Si:H をベースにした TFT に付随する問題を回避するために、多結晶シリコン TFT が使用される。多結晶シリコン TFT の重大な欠点の 1 つは、高リーク電流である。多結晶シリコン TFT 構造を適切に設計すると、リーク電流を最小限にできる。ドライバ回路が、すべてピクセル TFT 製造プロセスに統合されれば、ディスプレイ・パネル製造手順は単純化され、コストが減少する。しかし、多結晶シリコン TFT 製造における重大な問題は、

- 1) 低温、例えば低耐熱温度ガラス上で 550℃ 以下で、
- 2) 大面積のガラス基板上に、
- 3) 高スループットで、

などの特定の条件下での多結晶シリコン形成である。

【0004】つまり高温のプロセスは、低耐熱温度ガラスには適切ではない。

【0005】レーザ結晶化、炉によるアニーリング、反応性化学蒸着などのいくつかの方法が、多結晶シリコンの製造法として報告されている。これらの方法では、温度を高くする、あるいはプロセス時間を長くする必要がある。場合によっては、大面積上で均一性を得られない。したがって、これら従来の方法を使用すると、良質の多結晶シリコンを効率よく形成できない。

【0006】例えば、レーザ・アニーリング方法では、結晶粒内の欠陥密度が低い多結晶シリコンを生成でき

る。このようなレーザ・アニーリング方法は、以下の参考文献に開示されている。

1. A. Kohno, T. Sameshima, N. Sano, M. Sekiya, and M. Hara, IEEE Trans. Electron Devices 42 (2), 251 (1995)
2. H. Tanabe, K. Sera, K. Nakamura, K. Hirata, K. Yuda, and F. Okumura, NEC Res. & Dev. 35 (3), 254 (1994)

【0007】レーザによる多結晶シリコン形成法では、レーザ・ビームのサイズは通常は小さく、例えば 1 cm 角以下である。したがって、大面積全体を走査するためには長時間を要する。

【0008】もう 1 つの多結晶シリコン結晶化方法では、シリコンを結晶化するために、低温、例えば 600℃ の炉によるアニーリング方法が使用される。この方法は、以下の参考文献に述べられている。

3. K. Ono, S. Oikawa, N. Konishi, and K. Miyata, Jpn. J. Appl. Phys. 29, 2705 (1990)

【0009】反応性化学蒸着を使用する方法に関しては、化学蒸着 (CVD) プロセスにおいて、水素、フッ素、あるいは塩素を含むガスをシリコン原料に加えることにより、500℃ 以下の温度で多結晶あるいは微晶質のシリコン膜を直接付着するいくつかの報告がある。このような反応性 CVD プロセスによって形成される膜の多くは、粗い形状 (topography) の円柱形の構造をもつ。この種類の反応性 CVD を使用して、大面積基板上で良質の多結晶シリコン膜の均一性を得ることは、困難である。したがって、高い反応性の CVD プロセスでは、大面積上に良質の多結晶シリコン膜を形成できない。

【0010】以下の参考文献では、多結晶シリコン形成プロセスを述べている。

4. M. Bonnel, N. Duhamel, M. Guendouz, L. Haji, B. Loisel, and P. Ruault, Jpn. J. Appl. Phys. 30 (1B), L 1924 (1991)
5. G. Liu and S. J. Fonash, Appl. Phys. Lett. 62, 22554 (1993)
6. S. W. Lee, Y. C. Jeon, and S. K. Joo, ECS Proceedings of 2nd Thin Film Transistor Technologies, edited by Y. Kuo, Electrochemical Society, Pennington, NJ (1994), Vol. 94-35, p. 115

【0011】適切な金属が原形のアモルファス・シリコ

ンと接触すると、結晶化に要する温度を低くでき、時間を短縮できる。例えば Bonnel、外の参考文献では、アモルファス・シリコンが酸化インジウム・スズ (ITO) と接触すると、多結晶シリコンが 750℃ の温度で 40 秒間で形成できることを示した。Liu、外の参考文献によれば、厚さが 40 オングストローム

(Å) のパラジウム (Pd) の薄層をアモルファス・シリコンの下に付着させると、結晶化は 600℃ の温度で 2 時間で行えることを報告した。Lee、外の参考文献では、シリコンが Pd 接触部分から横方向に結晶化できることを明らかにした。この場合の生成温度は、500℃ と低かったが、100 マイクロメートル角の面積を完全に結晶化するには 10 時間かかった。

【0012】これら従来のプロセスは、温度が高すぎる、あるいはプロセス時間が長すぎるために、コーニング (Corning) 7059 のような低耐熱温度ガラス基板上に TFT を量産するには、実用的ではない。

【0013】

【発明が解決しようとする課題】本発明の方法では、シリコンを急速に結晶化すること、およびアモルファス・シリコンを多結晶シリコンに急速に変質させることができる。これは、金属とシリコンの接触構造をもつ半導体上で行われる、パルス状の急速な熱アニーリング (PRTA) 法によって実現され、金属が核の層となってアモルファス・シリコンを多結晶シリコンに変質させる。

【0014】本発明の目的は、従来の方法における問題を取り除いた、多結晶シリコンの形成方法を提供することである。

【0015】本発明のもう 1 つの目的は、アモルファス・シリコンから多結晶シリコンを短時間で形成することである。

【0016】本発明のさらにもう 1 つの目的は、低耐熱温度の基板上に多結晶シリコンを形成することである。

【0017】本発明のさらなる目的は、多結晶シリコン薄膜トランジスタ (TFT) を低耐熱温度の大面积ガラス基板上に、高スループットで形成することである。

【0018】

【課題を解決するための手段】本発明の前述およびその他の目的は、多結晶シリコン・チャネルをもつ半導体素子を形成するための方法によって達成され、この方法は以下のステップを含む。(a) ガラス層上に、最下部の絶縁層と最上部の絶縁層との間にアモルファス・シリコンがサンドイッチ状にはさまれた 3 層構造を形成するステップ、(b) 最上部の絶縁層のみを選択的にエッチングして、アモルファス・シリコン層を部分的に露出させるステップ、(c) このアモルファス・シリコン層の露出した部分上に、金属核層を形成するステップ、(d) 一定の休止間隔をもつ連続パルスを使用するパルス状の急速な熱アニーリングにより、アモルファス・シリコン層を多結晶シリコン層に変質させるステップ。

【0019】金属核層はニッケル、チタン、あるいはパラジウムなどの金属から成る。実例として、この形成ステップでは、所定の変形温度をもつガラス基板上に 3 層構造を形成し、アニーリング・ステップでは、この所定の変形温度を超える温度でアニールする。

【0020】このアニーリング・ステップでは、約 1 秒間の持続時間、約 5 秒間の間隔がある連続パルスを提供する。例えば、このアニーリング・ステップでは、ニッケルの核金属および 5 連続パルスを使用して、長さが 50 μm の多結晶シリコン層を形成する。

【0021】エッチング・ステップ後に炉によるアニーリングを行うことができる。エッチング・ステップは、最上部の絶縁層の一部分上にマスクを形成するステップ、最上部の絶縁層のマスクで覆われていない部分をエッチングするステップ、マスクを除去するステップを含む。

【0022】エッチング・ステップは、最初に炉によるアニーリング・ステップを含むこともでき、次に、アモルファス・シリコンの露出した部分上に、高濃度に不純物をドーピングしたシリコン層を形成するステップが続く。さらに、パルス状の急速な熱アニーリング・ステップの後に、金属核層上および最上部の絶縁層上に絶縁層を形成するステップ、この絶縁層上に半導体素子のゲートを形成するステップを行うことができる。

【0023】最上層ゲート (トップ・ゲート) ではなく、最下層ゲート (ボトム・ゲート) を形成することもできる。例えば、ボトム・ゲートは、3 層構造を形成するステップの前にガラス層上に形成できる。

【0024】PRTA を使用する本発明のもう 1 つの実施例では、3 層構造の代わりに 2 層構造がガラス層上に形成される。この 2 層構造には、3 層構造の最上部の絶縁層がなく、絶縁層およびアモルファス・シリコン層を含む。

【0025】

【発明の実施の形態】本発明の 1 つの実施例では、パルス状の急速な熱アニーリング (PRTA) 法が使用され、a-Si:H のようなアモルファス・シリコンを多結晶シリコンに変質させる。この PRTA 方法は、固相の結晶化方法であり、加熱と冷却の短い数サイクルを含む。それぞれのサイクルにおける加熱時間は非常に短く、約 1 秒間である一方、冷却時間はこれよりも長く、数秒間である。

【0026】図 1 および図 2 が示すのは、それぞれ 3 パルスの PRTA プロセスの温度と時間とのプログラムされた関係図、および実際の関係図である。図 1 に示されるように、3 つの加熱パルス 10 は、最高温度 T_{max} の近くでそれぞれ約 1 秒間の持続期間をもち、約 5 秒間の休止期間、すなわち冷却期間によって隔てられている。したがって、それぞれのサイクルで半導体素子が最高温度 T_{max} にさらされるのは 1 秒以下の間であり、

このことは、図1のプログラムされたピーク20に対応する図2における実際のピーク25からわかる。

【0027】冷却時間は調整可能であり、2つの加熱パルス10間で半導体素子を高温に保つことができる。加熱期間が非常に短いので(例えば1秒間以下)、低耐熱温度ガラスが高温にさらされても、損傷は最小限で済む。

【0028】したがって、所定の変形温度をもつガラスが、この所定の変形温度を超える温度のPRTA加熱パルスでも使用でき、ガラスは損傷されない。これに対し低温の炉によるアニーリングでは、長いアニール時間を必要とする。例えば変形温度が630℃の低耐熱温度ガラスは、1秒あるいは2秒間740℃にさらしても、たわみは最小限で済む。このことは、以下の参考文献に述べられている。

7. S. Jurichich, T. J. King, K. Saraswat, and J. Mehlhaf, Jpn. J. Appl. Phys. 33 (2), 8 B, L 1139 (1994)

【0029】PRTAプロセスの加熱パラメータおよび冷却パラメータは、ガラスのたわみを最小限にするために調整され、ガラスを含めて半導体素子が高温にさらされるのは、短時間である。

【0030】薄膜トランジスタ(TFT)のような半導体素子は、以下に述べるステップで製造され、長さが50マイクロメートル(μm)の多結晶シリコン・チャネルが、約5秒間の間隔がある5つの連続した1秒間のアニール・パルスを使用して、30秒以内で形成される。

【0031】図3に示されるように、例えば250℃のプラズマ強化化学蒸着(PECVD)を使用して、3層構造50が、低耐熱温度ガラス55上に形成される。このプロセスは、以下の参考文献に述べられている。

8. Y. Kuo, Appl. Phys. Lett. 67, 2173 (1995)

【0032】実例として低耐熱温度ガラス55には、コーニング(Corning)7059ガラスがあり、3層構造50は、厚さがそれぞれ2000オングストローム(\AA)、600オングストローム(\AA)、1000オングストローム(\AA)の SiN_x 、 $a\text{-Si:H}$ 、 SiN_x で構成される。これら3つの層は、図3ではそれぞれ60、65、70である。シリコン酸化物 SiO_2 あるいはタンタル酸化物 Ta_2O_5 などの他の絶縁材が、最下部および最上部の SiN_x 層60、70の代わりに使用できる。これら2つの絶縁層60と70との間にサンドイッチ状にはさまれている中間層65は、水素を添加したアモルファス・シリコン $a\text{-Si:H}$ 層である。

【0033】図4に示されるように、最上部の絶縁層70上に第1のマスクが形成され、この層がエッチングされて、図5に示されるように、アモルファス・シリコン層65の一部分80を露出させる。最上部の絶縁層70

をエッチングすると、最上部の絶縁層70'となる。部分80を露出させ、最上部の絶縁層70'を形成するためには、従来のエッチング溶剤が使用できる。マスク75は、エッチングが完了すると除去される。この状態で、図5に示される構造を随意にアニールすることもできる。実施例ではこのアニーリングは、500℃で約3時間行われる。

【0034】図6に示されるように、高濃度に不純物をドーブしたシリコン層85が、最上部の絶縁層70'上およびアモルファス・シリコン層65の露出部分上に形成される。実施例ではこのシリコン層85は、PECVDプロセスを使用して付着され、リンをドーブされて n' 形 Si 層85を形成する。このPECVDによる n' 付着ステップではなく、イオン注入ステップ、あるいは質量分離しないイオン・シャワー注入ステップを代わりに使用することもできる。この高濃度に不純物をドーブした層85の厚さは、例えば250オングストローム

(\AA)である。次に核金属層90が、この高濃度に不純物をドーブした層85の上に付着される。実例としてこの核金属層90は、厚さが100オングストローム

(\AA)であり、ニッケル(Ni)、チタン(Ti)、あるいはパラジウム(Pd)である。代替の方法では、高濃度に不純物をドーブした層85を省き、金属層90をアモルファス・シリコン層65上に直接形成できる。高濃度に不純物をドーブした層85があることの利点は、オーム性接触がなされることであり、これは、高性能トランジスタには重要である。高濃度に不純物をドーブした層85があることのもう1つの利点には、高温下で、高濃度に不純物をドーブした層85の中に強化シリサイド(enhanced silicide)を形成することがある。

【0035】このシリサイドは、以下に述べるように多結晶シリコン生成、すなわちアモルファス・シリコン層65を多結晶シリコン層に変質させるための核層となる。

【0036】図7に示されるように、フォトレジストなどの第2のマスク95が塗布されて、金属領域を画定する。第2のマスク95によって覆われていない金属層90の部分は、エッチングされる。さらに、金属層90あるいは最上部の絶縁層70'で覆われていない n' 層85およびシリコン層65の区域は、例えば反応性イオン・エッチング(RIE)によって、同じ第2のマスク95を使用してエッチングされる。このようなRIEプロセスは、以下の参考文献に述べられている。

9. Y. Kuo, J. Electrochem. Soc. 139, 548 (1992)

【0037】図8に示されるように、第2のマスク95が除去される。RIEステップによってシリコンがエッチングされ、アモルファス・シリコン層65からアモルファス・シリコンの島100が形成される。この島100

0は、TF Tのためのチャネル領域を含む。実例としてチャネル長Lは、 $7\mu\text{m}$ と $50\mu\text{m}$ との間であり、チャネル幅W(図示せず)は、 $70\mu\text{m}$ あるいは $76\mu\text{m}$ のいずれかである。

【0038】次に、 n' 層85およびアモルファス・シリコンの島100の水素を除くために、アニーリング・ステップを行うことができる。このアニーリングは、実施例では約 500°C で約2時間あるいは3時間行われる。

【0039】アニーリングが終了すると半導体素子にはPRTAが行われ、この加熱サイクルおよび冷却サイクルは、図1および図2に示される。

【0040】1つの実施例では、それぞれのPRTAサイクルは、窒素パージの下での 800°C で1秒間の加熱、および5秒間の冷却を含む。加熱速度は、毎秒 125°C に設定された。市販で入手できる高速の熱処理装置が使用された。比較するために、同一の薄膜構造が、炉の中で 500°C で40時間までアニールされた。PRTAおよび炉によるアニーリングを使用してアニールされた双方の薄膜は、光学顕微鏡およびマイクロ・ラマン分光器で検査された。チャネル抵抗率が測定された。

【0041】図1、図2に示されるPRTAパルスの第1のパルス・アニーリング後に、ニッケル(Ni)接触金属90をもつ素子を調べると、図9に示されるように、(図8での)高濃度に不純物をドーブした層85の中にシリサイドが形成されている。高濃度に不純物をドーブしたシリコン層85のないところに、金属層90とアモルファス・シリコンの島100との間に、シリサイド領域102、103が形成される。さらに図9は、アモルファス・シリコンの島100の中に新たに2つの区

域110、115があることを示す。

【0042】これらの新しい領域110、115は、多結晶シリコン領域であり、図8に示される n' 層85と金属層90との界面から生じる。この n' と金属との界面に、接触エッジ117が形成されることもある。この場合では、図9の多結晶シリコン領域110、115は、接触エッジ117から生じる。Ni層90とシリコンの島100との間に(図8の) n' 層85がない場合であっても、同一の新しいパターンが生じる。

【0043】図1、図2に従ってさらにPRTAパルスが加えられると、図10に示されるように、2つの多結晶シリコン領域110、115の境界120、125は、アモルファス・シリコンの島100の中央部に向かって進む。図10および図11に示されるように、2つの多結晶シリコン領域110、115は横方向に成長し、最終的には合体する。これによりアモルファス・シリコンが多結晶シリコンに変質させられ、図11に示されるように多結晶シリコンの島130となる。例えば、チャネルの長さが12、30、50マイクロメートルある場合、これら2つの境界線120、125は、そ

れぞれ1、3、5パルス後に合体する。

【0044】これに対し、薄膜のサンプルが 500°C の炉でアニールされるとき、12マイクロメートルのチャネル長で2つの多結晶シリコン領域110、115が合体するには、13時間かかる。したがって本発明のPRTA方法を使用すると、アニーリング時間が4桁以上短縮される。

【0045】アモルファス・シリコンの島100全体を結晶化し、多結晶シリコンの島130に変質させる必要があるわけではないことは、留意すべきである。多結晶シリコンの島130の中央にアモルファス・シリコン領域が少しあると、リーク電流を低いレベルに抑えることもできる。

【0046】図12、13は、それぞれ10パルスのPRTAプロセス後、および炉によるアニーリング後のNi誘導成長領域110、115(図10)のラマン偏移(Raman shift)を示す。図14が示すのは、単結晶シリコンのラマン・スペクトルであり、 520.7cm^{-1} に対称ピークがある。図12に示される10パルスのPRTAによって形成された多結晶シリコン膜のラマン・スペクトルでは、 521.6cm^{-1} に対称ピークがある。このピークは、図11の多結晶シリコンの島130の中に、サイズが100オングストローム(Å)以下の微小結晶シリコンがあることを示す。

【0047】ラマン偏移の測定は、以下の参考文献に述べられている。

10. H. Richter, Z. P. Wang, and L. Ley, Solid State Communication 39, 625 (1981)

【0048】図13に示されるように、炉によるアニールをされた膜には、 519.9cm^{-1} に非対称ピークがある。この膜は、結晶粒のサイズが150オングストローム(Å)よりも大きい微小結晶シリコンを含む。PRTAによる結晶化多結晶シリコン膜は、炉による結晶化多結晶シリコン膜とは異なる性質をもつ。

【0049】シリコン・チャネル抵抗率は、PRTAプロセスのパルス数増加に伴って低下する。例えば、長さが50マイクロメートルのシリコン・チャネルの抵抗率は、パルスを加える前、1パルスのPRTA後、3パルスのPRTA後で、それぞれ 4.1×10^{-11} オーム、 1.8×10^{-11} オーム、 3.7×10^{-11} オームである。 500°C で13時間の炉によるアニーリング後は、同一のチャネル抵抗率は、 2.0×10^{-11} オームである。このことは、PRTAプロセスの多結晶シリコン形成時間は、低温の炉によるアニーリング・プロセスの多結晶シリコン形成時間よりも、はるかに短いことを示す。

【0050】チャネル構造の抵抗率が影響を受けるのは、Ni90と n' 85との接触(図8)、チャネル領域におけるシリコン構造、およびa-Si100とSiN₁70'との界面という3つの要因によってである。

PRTAにおける高温パルスにより、NiとSiとの接触抵抗を下げるNiシリサイドが容易に形成される。

【0051】PRTAパルスによってシリサイドが形成され、アモルファス・シリコンから多結晶シリコンへの変質が開始され、さらに多結晶シリコンが横方向に成長される。

【0052】図15が示すのはシリサイド区域102、103の形成、およびPRTAプロセスの初期段階である1つ目のパルスから生じた多結晶シリコンへの初期の変質であり、これが図9に示される構造に至る。PRTAパルスを続けると、やはり図10に示されるように多結晶シリコン区域120、125が横方向に成長し、結果として図11に示される多結晶シリコンの島130を形成する。

【0053】1パルス後、多結晶シリコン・ゾーン110、115の境界120、125は、 $a-Si$ の島100の中央部に向かって数マイクロメートル進み、 SiN_x 部分70'のエッジ119におけるNiと n' との接点から離れる。したがってこのPRTAプロセスでは、短時間の高温、すなわち800℃によって、シリサイドを形成し、シリコンの結晶化を開始し、さらに多結晶シリコンを島の領域100内に成長させることができる。複数パルスのPRTAプロセスでさらにパルスを続けると、主に多結晶シリコンを島の領域100内でさらに成長させることに貢献する。

【0054】シリサイド膜102は通常は結晶体であり、核となってシリコンの結晶化を開始させる役をする。シリサイドの反応は、材料および温度に依存する。シリサイドの形成はまた、シリコン結晶度に依存する。チタン(Ti)が核層として使用される場合、薄い多結晶シリコン・ゾーンの境界120、125(図10)は、16パルス後に数マイクロメートル進む。

【0055】図11に示される構造は、ボトム・ゲート形、あるいはトップ・ゲート形の構造をもつTFTのいずれの製造にも使用できる。図16が示すのは、ボトム・ゲート形の多結晶シリコンTFT素子200であり、ガラス層55の上にゲート205が配置されている。このボトム・ゲート形の多結晶シリコンTFT素子200は、図3を使って述べた3層構造50の付着前に、ガラス層55上に金属ゲート層を形成することによって製造される。

【0056】従来のフォトリソグラフィによって、すなわちフォトレジストでマスクを形成しエッチングすることによって、この金属ゲート層のみが選択的にエッチングされて、ゲート205を形成する。ボトム・ゲート形の多結晶シリコンTFT素子200の形成におけるその他のステップは、図4から図11を使って前に述べたそのときのステップと同じである。

【0057】シリサイド区域102、103は、それぞれソース区域、ドレイン区域となる。TFTのチャネル

は、多結晶シリコンの島130の中に含まれる。

【0058】図17が示すのは、トップ・ゲート形の多結晶シリコンTFT素子250であり、図3から図11を使って述べたステップを使用して製造される。さらに以下のステップが行われて、図11に示される構造上に絶縁物260の層が形成される。実施例の絶縁物260は、酸化ケイ素あるいは窒化ケイ素である。次に金属ゲート層が形成され、例えば従来のフォトリソグラフィのステップによって選択的にエッチングされて、トップ・ゲート270を形成する。随意のステップに、トップ・ゲート270のパターン形成用と同一のマスクを使用して、絶縁層260を部分的にエッチングすることがある。絶縁層260を部分的にエッチングすると、ソース金属とドレイン金属の双方を露出させる。これにより、TFTの3つの電極すべて、すなわちゲート、ソース、およびドレインが、同時にブロービングできる。

【0059】トップ・ゲート270あるいはボトム・ゲート205の形成に使用される金属ゲート層は、最上部の金属層90と同一であっても、異なる種類であってもよい。図16、17のボトム・ゲート形およびトップ・ゲート形の多結晶シリコンTFT素子200、250は、自己整合する。

【0060】ボトム・ゲート形あるいはトップ・ゲート形の多結晶シリコンTFT素子200、250の形成後、必要に応じてさらにアニーリング・ステップを実行することができる。このアニーリング・ステップにより、多結晶シリコンTFT内のリーク電流が減少する。このステップは、例えばプラズマ水素アニーリング・ステップである。

【0061】図18から図21は、PRTAを使用する代替の実施例を示す。この実施例のTFT形成方法は、図3から図11および図16、図17を使って述べた方法と同様である。図18に示されるように、図3の3層構造50を形成する代わりに、2層構造350が、ガラス層55上に形成される。この2層構造350には、図3の3層構造50での最上部の絶縁層70がない。

【0062】2層構造350は、例えば SiN_x の絶縁層60、および水素を添加したアモルファス・シリコン($a-Si:H$)層65を含む。次に高濃度に不純物をドーブした n' 層85、および金属層90が、 $a-Si:H$ 層65上に形成される。 n' 層85はPECVD付着方法、イオン注入方法、あるいは質量分離しないイオン・シャワー注入方法などの様々な方法を使用して形成できる。これらのステップにより、 SiN_x 層60、 $a-Si:H$ 層65、 n' 層85、および金属層90が、順にガラス基板上に積層される。マスク75が金属層90上に形成され、金属層90から n' 層85、および $a-Si:H$ 層65までを連続してエッチングすることによって、図19の水素を添加したアモルファス・シリコン($a-Si:H$)の島100を画定する。

【0063】図18および図19に示されるように、金属層90、n'層85、およびa-Si:H層65のマスキングによって覆われていない部分80'が、エッチングされる。これにより金属層90、n'層85、およびa-Si:H層65がパターン化され、金属部90'、n'部85'、およびa-Si:Hの島100が形成される。別のマスク95が、露出したSiN_x層60および金属部90'の一部上に形成される。

【0064】図20に示されるように、金属部90'およびn'部85'のマスク95によって覆われていない部分は、エッチングされてソース領域およびドレイン領域を形成する。ソース領域は、ソース金属355およびn'部102'を含み、一方ドレイン領域は、ドレイン金属360およびn'部103'を含む。この後、マスク95（図19）は除去される。

【0065】次に、図20に示される構造が炉の中でアニールされて、a-Si:Hの島100、n'部102'、103'、およびSiN_x層60から水素が除去される。図21に示されるようにPRTAステップが実行され、シリコンの島100を結晶化して多結晶シリコンの島130を形成する。このPRTAステップについては、図9から図11、および図15を使って詳しく述べてある。このPRTAステップにより、ソース金属355、ドレイン金属360とn'部102'、103'との境界にシリサイド365も形成される。PRTAを使用するアニーリングをさらに続けると、すなわちPRTAの各条件に依存すると、n'区域102'、103'の全部、さらにa-Siの島100の一部分さえも、シリサイドに変質する。さらにPRTAプロセスにより、n'区域102'、103'が結晶化されて、多結晶シリコンのn'区域102''、103''が形成される。

【0066】図22に示されるように、ボトム・ゲート形が多結晶シリコンTFT400は、図18の2層構造350の付着前に、基板55上にボトム・ゲート205を形成することによって製造される。ボトム・ゲート205の形成には、図16を使って詳しく述べたステップと同様のステップが使用される。

【0067】図23に示されるように、トップ・ゲート形が多結晶シリコンTFT450は、図21に示される構造上にさらに絶縁層260を形成し、その上にトップ・ゲートの金属層を形成することによって製造される。次にこのトップ・ゲートの金属層がパターン化されて、例えばマスクをかけてエッチングされて、金属のトップ・ゲート270が形成される。トップ・ゲート270の形成には、図17を使って詳しく述べたステップと同様のステップが使用される。随意的なステップとして、金属のトップ・ゲート270のエッチング用と同じマスクを使用して、絶縁層260を部分的にエッチングすることがある。これによりソース金属とドレイン金属の双方が

露出し、TFTの3つの電極すべて（すなわちゲート、ソース、およびドレイン）を同時にプロービングできる。

【0068】多結晶シリコン層内のダングリング・ボンド（dangling bond）をパッシベートするためには、プラズマ水素化ステップが使用できる。これにより、ボトム・ゲート形あるいはトップ・ゲート形が多結晶シリコンTFT400、450の製造が完了する。

【0069】要約すると、本発明の方法によりシリコンが急速に結晶化され、短時間でアモルファス・シリコンから多結晶シリコンが形成される。本発明の方法は、金属核層と組み合わせた、パルス状の急速な熱アニーリング（PRTA）プロセスに基づいている。

【0070】長さが50マイクロメートルの多結晶シリコン・チャンネルは、2、3パルスで形成できる。この方法は、低耐熱温度で大面積のガラス基板上に、多結晶シリコン薄膜トランジスタ（TFT）を高スループットで製造することに使用できる。

【0071】PRTAは、短い周期の加熱サイクルと冷却サイクルを制御した方法で繰り返す原理に基づいている。多結晶シリコンは、金属とシリコンとの接触区域から横方向に生成される。多結晶シリコン区域の横方向の長さは、パルス数に伴って増加する。1つの例では、長さが50マイクロメートルの多結晶シリコン・チャンネルは、ニッケル（Ni）を接触金属として使用し、5パルスの「1秒間の800℃の加熱とその後の5秒間の冷却」サイクルを含むPRTAプロセスによって形成された。これは、同じ薄膜構造を使用する500℃の炉によるアニーリング方法で要する時間よりも、4桁以上短い。PRTAで生成された多結晶シリコンは、小さい結晶粒およびアモルファス相シリコンを含む。長さ50マイクロメートルのシリコン・チャンネルでは、抵抗率は、3パルスのアニーリング後に2桁以上低下した。PdおよびTiなどの他の金属もまた、金属核層として、およびトップ・ゲートあるいはボトム・ゲートとして使用できる。同じ長さの多結晶シリコンチャンネルを生成するために、これらの金属を使用したときに必要とされるPRTAパルス数は、Niを使用したときに必要とされるPRTAパルス数よりも多い。アモルファス・シリコンから結晶シリコンへの変質は、シリサイドの構造に依存する。

【0072】PRTAプロセスは、核金属とシリコンとの間の局所的な反応によって制御されるので、このプロセスを使用して、大面積の均一性を損なうことなく、多数の小さい形状の素子を生成できる。素子の良好な性質を得るために、PRTAの温度、個々のサイクルの加熱時間および冷却時間、シリコン材料および絶縁材料、核金属の選定、ガラス基板の温度特性などのプロセス・パラメータが調整できる。低耐熱温度ガラスは、高温で短

期のパルスを少数使用するPRTAプロセスの間には、短時間のみ高温にさらされるので損傷されない。PRTA方法はまた、高耐熱温度ガラス上に素子を形成するためにも使用できる。この場合の利点は、シリコン結晶化時間が、炉によるアニーリング方法の場合よりもはるかに短いことである。

【0073】説明用に好ましい実施例を使って本発明を詳しく図示し、説明してきたが、文頭で述べた特許請求の範囲によってのみ制限されるべき本発明の意図および範囲から離れることなく、形態、材料、細部における前述のおよびその他の変更を行い得ることは、当分野に知識をもつ当業者は理解するであろう。

【0074】まとめとして、本発明の構成に関して以下の事項を開示する。

【0075】(1) 薄膜半導体素子を形成する方法であって、(a) ガラス層上に、最下部の絶縁層と最上部の絶縁層との間に挟まれたアモルファス・シリコン層を有する3層構造を形成するステップと、(b) 前記アモルファス・シリコン層を部分的に露出させるために、前記最上部の絶縁層を選択的にエッチングするステップと、(c) 前記アモルファス・シリコン層の前記露出させた部分上に、金属核層を形成するステップと、

(d) 前記アモルファス・シリコン層を多結晶シリコン層に変質させるために、休止期間によって分離された連続パルスから成るパルス状の急速な熱アニーリングを行うステップと、を含む方法。

(2) 前記3層構造を形成するステップが、所定の変形温度を有するガラス上に前記3層構造を形成し、さらに前記アニーリングを行うステップが、前記所定の変形温度を超える温度でアニールする、(1)に記載の方法。

(3) 前記パルス状の急速な熱アニーリングを行うステップが、約5秒間の時間を有する前記休止期間によって分離された、約1秒間の時間を有する前記連続パルスを含む、(1)に記載の方法。

(4) 前記パルス状の急速な熱アニーリングを行うステップが、前記連続パルスの5パルス期間中に、 $50\mu\text{m}$ の長さを有する前記多結晶シリコン層を形成する、

(3)に記載の方法。

(5) 前記選択的にエッチングするステップ後、前記金属核層を形成するステップの前に、炉によるアニーリングを行うステップをさらに含む、(1)に記載の方法。

(6) 前記選択的にエッチングするステップが、前記最上部の絶縁層の一部分上にマスクを形成するステップと、前記最上部の絶縁層のマスクで覆われていない部分をエッチングするステップと、前記マスクを除去するステップと、を含む、(1)に記載の方法。

(7) 前記選択的にエッチングするステップ後、前記金属核層を形成するステップの前に、前記アモルファス・シリコン層の前記露出させた部分上に、高濃度に不純物をドーピングしたシリコン層を形成するステップをさらに含

む、(1)に記載の方法。

(8) 前記高濃度に不純物をドーピングしたシリコン層を形成するステップの前に、炉によるアニーリングを行うステップをさらに含む、(7)に記載の方法。

(9) 前記パルス状の急速な熱アニーリングを行うステップ後に、前記金属核層上および前記最上部の絶縁層上に絶縁層を形成するステップと、前記絶縁層上にゲート層を形成するステップと、をさらに含む、(1)に記載の方法。

(10) 前記3層構造を形成するステップの前に、前記ガラス層上にゲート層を形成する、(1)に記載の方法。

(11) 前記金属核層がニッケル、チタン、パラジウムのいずれかから成る、(1)に記載の方法。

(12) アモルファス・シリコン層を多結晶シリコン層に変質させる方法であって、前記アモルファス・シリコン層上に金属層を形成するステップと、約1秒間の持続時間を有し、約5秒間の間隔によって分離された連続パルスを使用して、前記金属層および前記アモルファス・シリコン層をアニーリングするステップと、を含む方法。

(13) 所定の変形温度を有するガラス層上に形成されたアモルファス・シリコン層を結晶化する方法であって、前記アモルファス・シリコン層上に金属層を形成するステップと、前記所定の変形温度を超える温度を有する連続パルスであって、個々のパルスが、前記ガラス層を損傷することなく前記アモルファス・シリコン層を結晶化するために十分に短い時間である連続パルスを使用して、前記金属層および前記アモルファス・シリコン層をアニーリングするステップと、を含む方法。

(14) 薄膜半導体素子を形成する方法であって、

(a) ガラス層上に絶縁層、アモルファス・シリコン層、高濃度に不純物をドーピングしたシリコン層、および金属層を連続して形成するステップと、(b) 前記アモルファス・シリコン層、前記高濃度に不純物をドーピングしたシリコン層、および前記金属層をパターン化するステップと、(c) 前記パターン化された高濃度に不純物をドーピングしたシリコン層および金属層を更にパターン化し、前記アモルファス・シリコン層の露出した部分によって分離されたソース、ドレイン、ソース接点、およびドレイン接点を形成するステップと、(d) 休止期間によって分離された連続パルスを含むパルス状の急速な熱アニーリングを行い、前記アモルファス・シリコン層を多結晶シリコン層に変質させるステップと、を含む方法。

(15) 前記パルス状の急速な熱アニーリングを行うステップ後に、前記アモルファス・シリコンの露出させた部分上、前記ソース接点上、および前記ドレイン接点上にゲート絶縁層を形成するステップと、前記ゲート絶縁層上にゲートを形成するステップと、をさらに含む、

(1 4) に記載の方法。

(1 6) 前記連続して形成するステップの前に、前記ガラス層上にゲートを形成するステップをさらに含む、

(1 4) に記載の方法。

(1 7) 前記ゲートを形成するステップが、前記ガラス層上にゲート層を形成するステップ、さらに前記ゲートを形成するために前記ゲート層をパターン化するステップを含む、(1 6) に記載の方法。

【図面の簡単な説明】

【図 1】本発明に従った、時間に対する温度のプログラ 10 ムされたパターンを示す図である。

【図 2】本発明に従った、時間に対する温度の実際のパターンを示す図である。

【図 3】本発明に従った、パルス状の急速な熱アニーリング・プロセスを示す図である。

【図 4】本発明に従った、パルス状の急速な熱アニーリング・プロセスを示す図である。

【図 5】本発明に従った、パルス状の急速な熱アニーリング・プロセスを示す図である。

【図 6】本発明に従った、パルス状の急速な熱アニー 20 リング・プロセスを示す図である。

【図 7】本発明に従った、パルス状の急速な熱アニーリング・プロセスを示す図である。

【図 8】本発明に従った、パルス状の急速な熱アニーリング・プロセスを示す図である。

【図 9】本発明に従った、パルス状の急速な熱アニーリング・プロセスを示す図である。

【図 1 0】本発明に従った、パルス状の急速な熱アニーリング・プロセスを示す図である。

【図 1 1】本発明に従った、パルス状の急速な熱アニー 30 リング・プロセスを示す図である。

【図 1 2】本発明に従って形成された多結晶シリコン構造と、従来の構造を比較するラマン偏移を示す図である。

【図 1 3】本発明に従って形成された多結晶シリコン構造と、従来の構造を比較するラマン偏移を示す図である。

【図 1 4】本発明に従って形成された多結晶シリコン構造と、従来の構造を比較するラマン偏移を示す図である。

【図 1 5】本発明に従った図 3 から図 1 1 に示されるステップにおける 1 ステップの詳細図である。

【図 1 6】本発明に従って形成されたボトム・ゲート形の多結晶シリコン薄膜トランジスタを示す図である。

【図 1 7】本発明に従って形成されたトップ・ゲート形の多結晶シリコン薄膜トランジスタを示す図である。

【図 1 8】本発明のもう 1 つの実施例に従った、パルス状の急速な熱アニーリング・プロセスを示す図である。

【図 1 9】本発明のもう 1 つの実施例に従った、パルス 50 状の急速な熱アニーリング・プロセスを示す図である。

【図 2 0】本発明のもう 1 つの実施例に従った、パルス状の急速な熱アニーリング・プロセスを示す図である。

【図 2 1】本発明のもう 1 つの実施例に従った、パルス状の急速な熱アニーリング・プロセスを示す図である。

【図 2 2】図 1 8 から図 2 1 の本発明の実施例に従って形成された、ボトム・ゲート形の多結晶シリコン薄膜トランジスタを示す図である。

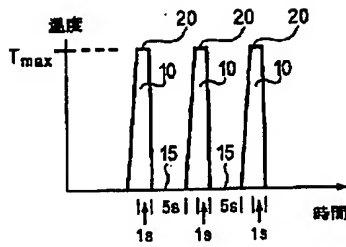
【図 2 3】図 1 8 から図 2 1 の本発明の実施例に従って形成された、トップ・ゲート形の多結晶シリコン薄膜トランジスタを示す図である。

【符号の説明】

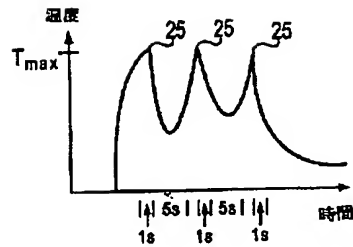
1 0	加熱パルス
1 5	冷却期間
2 0	プログラムされたピーク
2 5	実際のピーク
5 0	3 層構造
5 5	ガラス層
6 0	最下部の絶縁層
6 5	水素を添加したアモルファス・シリコン層
7 0	最上部の絶縁層
7 5	マスク
8 0	アモルファス・シリコン層の露出した一部分
8 5	高濃度に不純物をドーブしたシリコン層
9 0	(核) 金属層
9 5	第 2 のマスク
1 0 0	アモルファス・シリコンの島
1 0 2、1 0 3	シリサイド区域
1 1 0、1 1 5	多結晶シリコン区域
1 1 7	接触エッジ
1 1 9	エッジにおける N i と n' の接点
1 2 0、1 2 5	多結晶シリコン区域の境界
1 3 0	多結晶シリコンの島
1 5 0	多結晶シリコンへの変質の始まり
2 0 0	ボトム・ゲート形の多結晶シリコン T F T 素子
2 0 5	ボトム・ゲート
2 5 0	トップ・ゲート形の多結晶シリコン T F T 素子
2 6 0	絶縁層
2 7 0	トップ・ゲート
3 5 0	2 層構造
3 5 5	ソース金属
3 6 0	ドレイン金属
3 6 5	シリサイド
4 0 0	ボトム・ゲート形の多結晶シリコン T F T 素子
4 5 0	トップ・ゲート形の多結晶シリコン T F T 素子

ンTFT素子

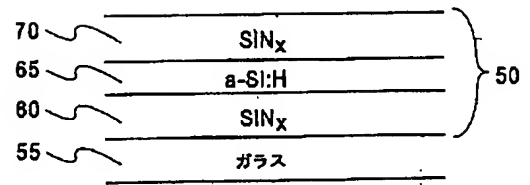
【図 1】



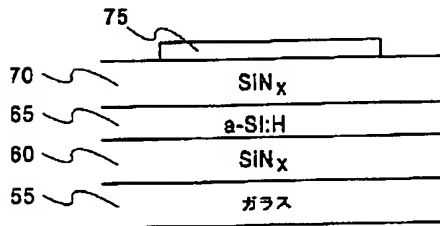
【図 2】



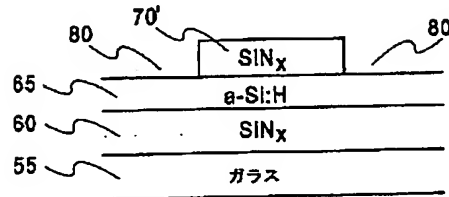
【図 3】



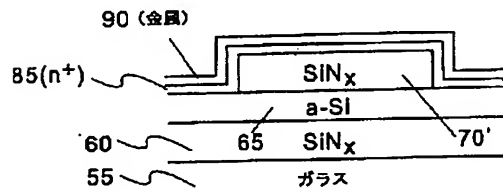
【図 4】



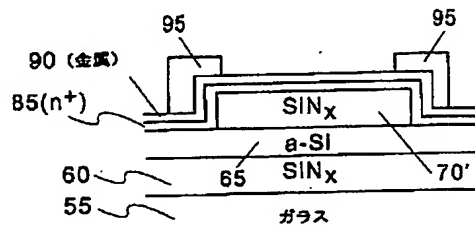
【図 5】



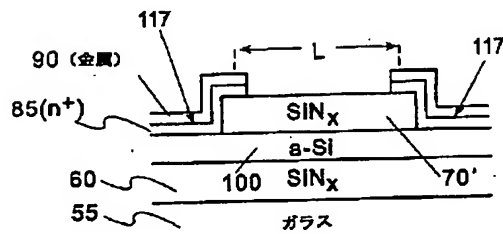
【図 6】



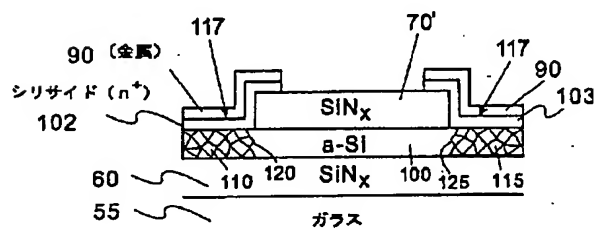
【図 7】



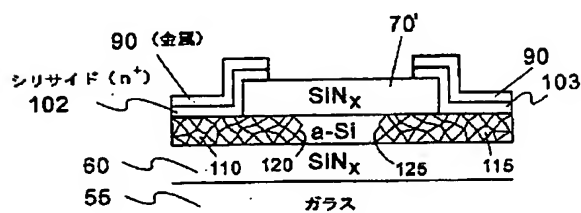
【図 8】



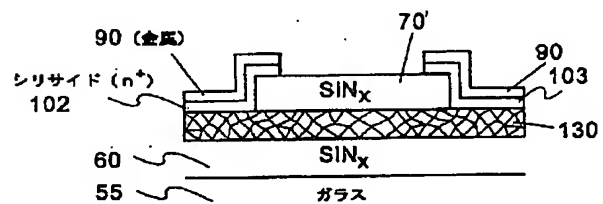
【図 9】



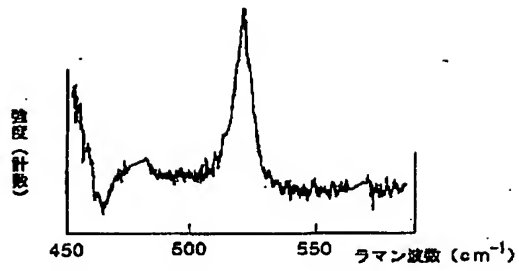
【図 10】



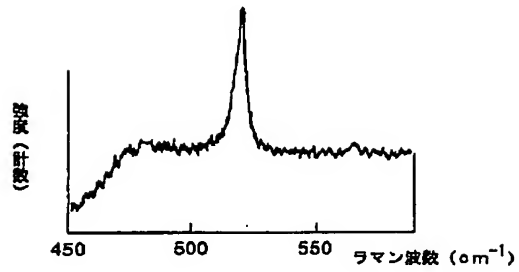
【図 11】



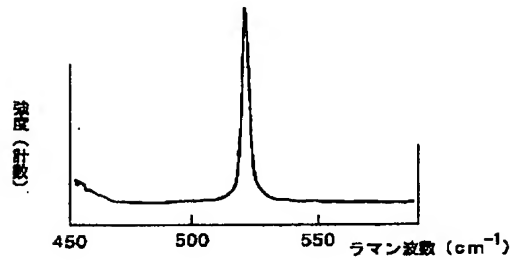
【図 12】



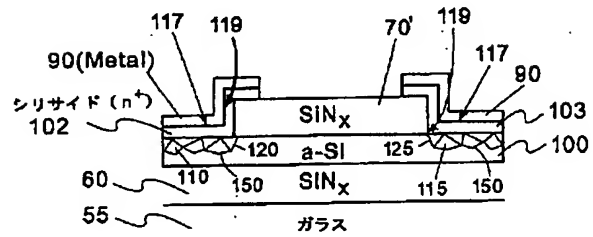
【図 13】



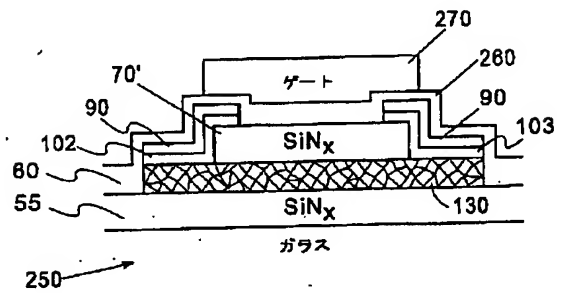
【図 14】



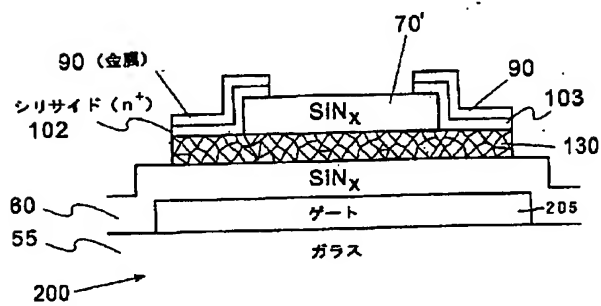
【図 15】



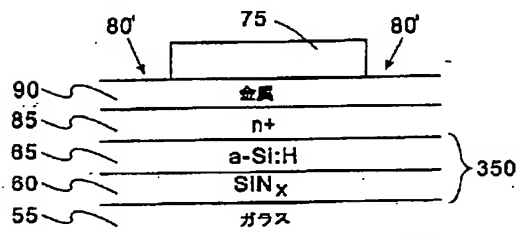
【図 17】



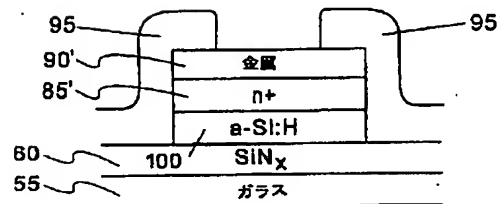
【図 16】



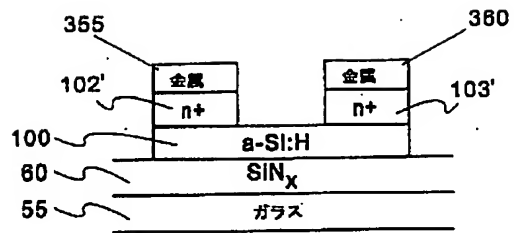
【図 18】



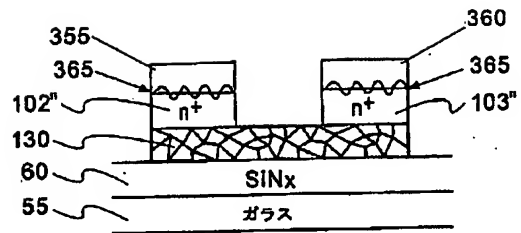
【図 19】



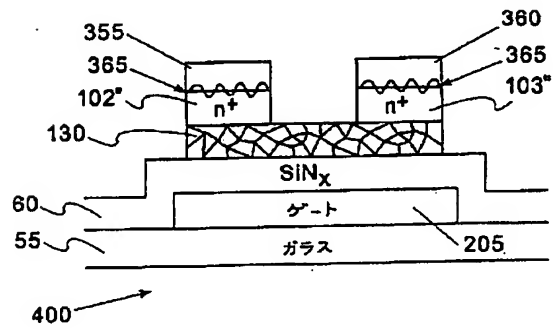
【図 20】



【図 21】



【図 22】



【図 23】

